

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

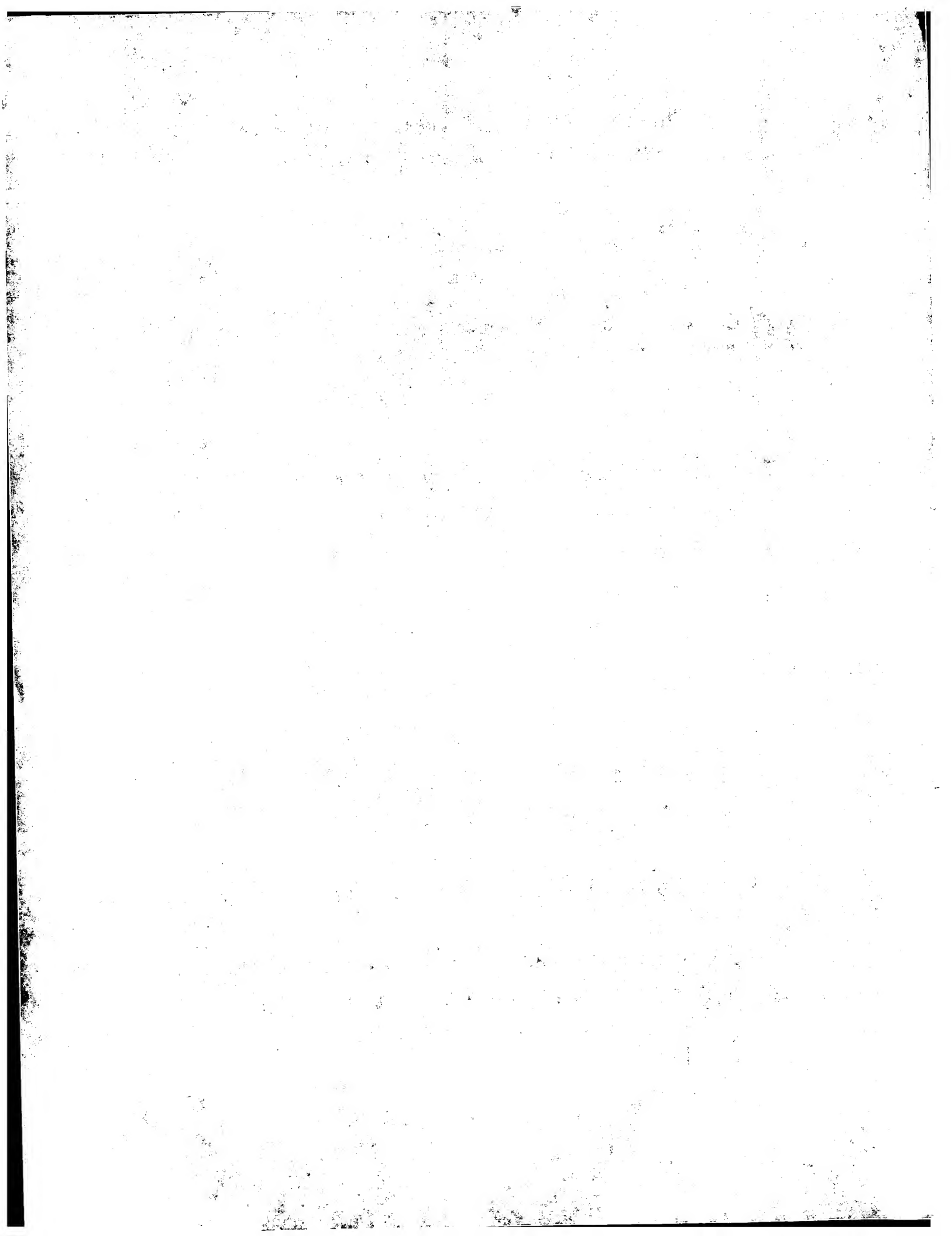
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-174310

(43)Date of publication of application : 26.06.1998

(51)Int.Cl.

H02J 7/24
H01L 27/04
H01L 21/822
H01L 21/8234
H01L 27/088
H02P 9/30

(21)Application number : 08-323899

(71)Applicant : DENSO CORP

(22)Date of filing : 04.12.1996

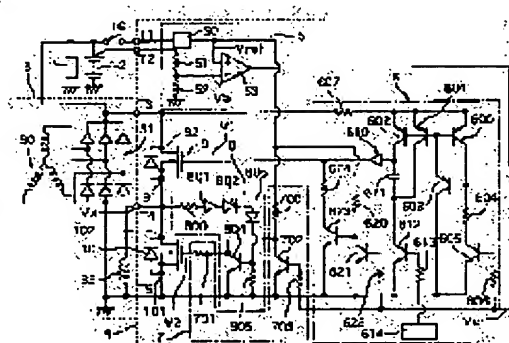
(72)Inventor : ASADA TADATOSHI
UEMATSU TADASHI
KANAZAWA WAKAKO

(54) INDUCTIVE LOAD DRIVE UNIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a load drive unit realizing a current carrying test at any time in an inductive load from outside without deteriorating performance of a reflux element while attaining its miniaturization, noise reduction and improvement of responsiveness.

SOLUTION: A reflux element 10 consisting of MOSFET is interrupted during conduction of a drive element 9, to be conducted with interruption of the drive element, further, the element 10 is preferentially interrupted by a protecting circuit 8 in the case of an inductive load 32 not in a reflux condition. In addition, the reflux condition called here means a condition that according to diffusion of electromagnetic energy of the inductive load 32, a reflux current flows or it is capable of flowing, in the protecting circuit 8, the reflux condition of this inductive load 32 is detected. In this constitution, by adopting the MOSFET, miniaturization of the reflux element can be realized, production of a spike noise and deterioration of responsiveness thereby can be prevented. Even in the case of performing a current carrying test of the inductive load by supplying power from the outside, the reflux element 10 can be placed in an interruption condition by the protecting circuit 8.



LEGAL STATUS

[Date of request for examination]

09.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

特開平10-174310

(43)公開日 平成10年(1998)6月26日

(51)Int.Cl. ⁶	識別記号	F I	
H 0 2 J 7/24		H 0 2 J 7/24	E
			G
H 0 1 L 27/04		H 0 2 P 9/30	C
21/822		H 0 1 L 27/04	H
21/8234		27/08	1 0 2 F
	審査請求	未請求	請求項の数10
			OL (全 12 頁)
			最終頁に続く

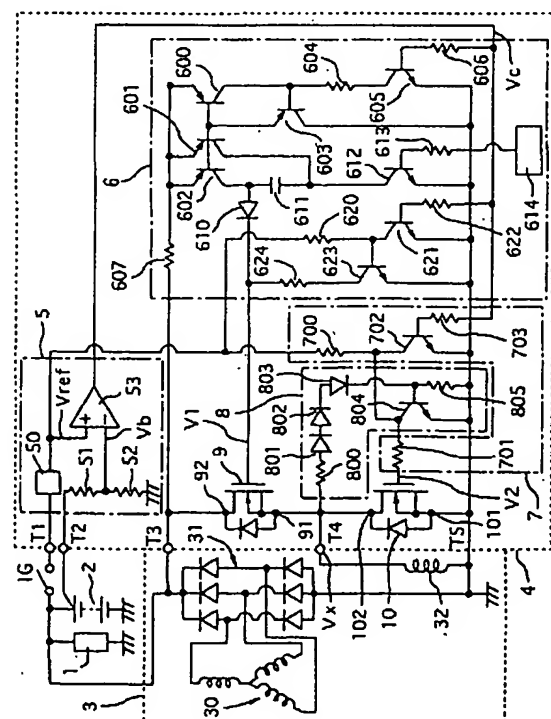
(21)出願番号	特願平8-323899	(71)出願人	000004260 株式会社デンソー 愛知県刈谷市昭和町1丁目1番地
(22)出願日	平成8年(1996)12月4日	(72)発明者	浅田 忠利 愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
		(72)発明者	植松 忠士 愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
		(72)発明者	金沢 和加子 愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
		(74)代理人	弁理士 大川 宏

(54)【発明の名称】 誘導性負荷駆動装置

(57) 【要約】

【課題】還流素子の小型化、ノイズ低減、応答性の向上を図るとともにその性能を低下させることなく外部からの誘導性負荷への随時の通電テストを実現した負荷駆動装置を提供する。

【解決手段】 MOSFET かなる環流素子 10 を、駆動素子 9 の導通中は遮断し、駆動素子 9 の遮断とともに導通させ、更に保護回路 8 により誘導性負荷 32 が還流状態でない場合に優先遮断する。なお、ここでいう還流状態とは誘導性負荷 32 の電磁エネルギーの放散に伴う還流電流が流れているか又は流れ得る状態を意味するものとし、保護回路 8 がこの誘導性負荷 32 の還流状態を検出するものとする。本構成によれば、MOSFET を採用しているので、還流素子の小型化を実現でき、スパイクノイズの発生やそれによる応答性の低下を防止できる。また、外部から給電して誘導性負荷の通電テストを行う場合でも保護回路 8 により環流阻止 10 を遮断状態とすることができる。



【特許請求の範囲】

【請求項1】 一方の電源端と誘導性負荷の一端との間に配設されて前記電源から前記誘導性負荷への通電電流を断続する駆動素子と、他方の電源端及び前記誘導性負荷の他端と前記誘導性負荷の一端との間に配設されて前記誘導性負荷の還流電流を断続する還流素子と、入力信号に基づいて前記駆動素子を開閉する第1の駆動回路とを備える誘導性負荷駆動装置において、

MOSFETからなる前記還流素子を前記駆動素子の導通中は遮断し、前記駆動素子の遮断とともに導通させる第2の駆動回路と、

前記誘導性負荷が還流状態でないことを検出した場合に前記還流素子の導通を優先遮断する保護回路とを備えることを特徴とする誘導性負荷駆動装置。

【請求項2】 請求項1記載の誘導性負荷駆動装置において、

前記電源を構成するバッテリーの電圧を検出するバッテリー電圧検出回路と、前記バッテリー電圧を昇圧して前記第1の駆動回路に給電する昇圧回路とを備え、前記駆動素子及び還流素子はNチャンネルMOSFETからなり、前記第1の駆動回路は、前記バッテリーの電圧に応じて前記駆動素子を断続することにより、前記誘導性負荷をなす車両用発電機の励磁コイルの通電電流を制御して前記バッテリー電圧を所定範囲に調整することを特徴とする誘導性負荷駆動装置。

【請求項3】 請求項1又は2記載の誘導性負荷駆動装置において、

前記駆動素子及び還流素子は、ソース領域及びドレイン領域が同一のチップの同一表面に形成される一対のMOSFETからなることを特徴とする誘導性負荷駆動装置。

【請求項4】 請求項3記載の誘導性負荷駆動装置において、

前記バッテリー電圧検出回路は、前記両素子と同一のチップに集積されることを特徴とする誘導性負荷駆動装置。

【請求項5】 請求項3記載の誘導性負荷駆動装置において、

前記還流素子及び駆動素子は同一の半導体チップに集積されて所定デューティ比で交互断続され、前記駆動素子の有効チップ面積は前記駆動素子及び還流素子の合計有効チップ面積の0.65～0.85倍に設定されることを特徴とする誘導性負荷駆動装置。

【請求項6】 請求項1乃至4記載の誘導性負荷駆動装置において、

前記還流素子は前記駆動素子と別個に配設され、前記駆動素子のオン抵抗の1～3倍以下のオン抵抗を有することを特徴とする誘導性負荷駆動装置。

【請求項7】 請求項1乃至6記載の誘導性負荷駆動装置において、

前記第2の駆動回路は、前記還流素子を前記駆動素子に

対して逆動作させることを特徴とする誘導性負荷駆動装置。

【請求項8】 請求項1乃至7記載の誘導性負荷駆動装置において、

前記保護回路は、検出した前記誘導性負荷の電圧に基づいて前記還流状態の有無を検出することを特徴とする誘導性負荷駆動装置。

【請求項9】 請求項1乃至8記載の誘導性負荷駆動装置において、

前記保護回路は、検出した前記誘導性負荷の電流に基づいて前記還流状態の有無を検出することを特徴とする誘導性負荷駆動装置。

【請求項10】 請求項9記載の誘導性負荷駆動装置において、

前記保護回路は、前記還流素子をなす前記MOSFETと同一のチップに形成されるとともに前記還流素子の電流に対応する小電流が通電される電流検出用MOSFETと、前記電流検出用MOSFETの電流を検出する副電流検出手段とを備え、前記副電流検出手段の出力結果に基づいて前記還流状態の有無を検出することを特徴とする誘導性負荷駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、コイルなどの誘導性負荷を断続制御する負荷駆動装置に関する。

【0002】

【従来の技術】従来の車両用発電機の制御装置では、車両用発電機の励磁コイルをバッテリー電圧に基づいて断続制御（デューティ制御）することにより励磁電流を調節して発電電流を制御し、これによりバッテリー電圧を所定範囲に制御している。この励磁コイルは大きなインダクタンスをもつ誘導性負荷であるので、励磁電流遮断時にコイルに還流電流を供給するために、大容量のフライホイールダイオード（還流ダイオード）からなる還流素子を励磁コイルに並列接続するのが通常である（特開昭63-277433号、特開平4-96696号参照）。

【0003】

【発明が解決しようとする課題】しかしながら、上記したフライホイールダイオードは、pn接合の順方向電圧降下による損失、発熱が大きいため電流密度低下のために大電流容量の素子を採用するという欠点がある。また、pn接合近傍へのキャリアの蓄積を解消するために励磁コイルへの通電初期にキャリア再結合のために過剰電流が付加されるので、その分、スイッチングノイズが増加したり、高速断続制御に対する応答性が低下するという問題もあった。特に、これらの問題は、エンジン近傍という過酷な熱環境下で用いられる車両用交流発電機の励磁コイルに並列接続されるフライホイールダイオードにおいて改善が要望されていた。

【0004】そこで、本発明者らは、還流素子として駆

動素子と相補動作すなわち互いに逆の動作を行う MOS FET を採用し、この MOS FET の導通により励磁コイルへ還流電流を流せば、上記問題を解消でき、優れた車両用発電機の励磁コイル用の還流素子を実現できることを考えた。しかしながら、このような MOS FET によるフライホイールダイオードの置換は次の新たな問題を生じさせることがわかった。

【0005】例えば上記した車両用発電機で説明すると、誘導性負荷をなす励磁コイルに外部から一時的に強制的に通電を行って発電乃至その性能を調べる発電試験を行う場合があり、その他の各種誘導性負荷でもこの種の通電試験を随時乃至所定タイミングで実施して品質向上を図ることが行われている。そこで、上記した駆動素子に対して相補動作する還流素子をこのような車両用発電機に適用する場合、発電試験のために外部から励磁コイルに強制通電すると、励磁コイルは還流素子である MOS FET により短絡された状態となっているので、この還流素子である MOS FET に大電流が流れ、その寿命の短縮が懸念される。

【0006】本発明は上記問題点に鑑みなされたものであり、還流素子の小型化、ノイズ低減、応答性の向上を図るとともにその性能を低下させることなく外部からの誘導性負荷への随時の通電テストを実現した負荷駆動装置を提供することを、その目的としている。

【0007】

【課題を解決するための手段】請求項 1 記載の構成によれば、駆動素子は第 1 の駆動回路に制御されて誘導性負荷への給電電流を断続する。MOS FET からなる還流素子は第 2 の駆動回路に制御されて誘導性負荷に還流電流を供給する。本構成では特に、還流素子を、駆動素子の導通中は遮断し、駆動素子の遮断とともに導通させ、更に保護回路により誘導性負荷が還流状態でない場合に優先遮断する。なお、ここでのいう誘導性負荷の還流状態とは誘導性負荷に還流電流（すなわち、駆動素子の遮断により生じる誘導性負荷に蓄積された電磁エネルギーの放散に伴う電流）が流れているか又は流れ得る状態を意味するものとし、上記保護回路がこの誘導性負荷の還流状態を検出するものとする。

【0008】本構成によれば、還流素子として接合の順方向電圧降下を生じない MOS FET を採用しているので、その発熱を軽減して還流素子の小型化及び放熱構造の簡素化を実現できる。また本構成によれば従来のフライホイールダイオードにおけるその p n 接合近傍へのキャリアの蓄積を解消できるので、回復電流によるスパイクノイズの発生やそれによる応答性の低下を防止できる。この点について更に詳しく説明すると、上記キャリア蓄積のためにフライホイールダイオードの遮断状態への遷移が遅延するということは、駆動素子から給電される電流の一部がフライホイールダイオードに流れて、誘導性負荷への電流が減少するということであり、その

分、誘導性負荷の磁束変化が生じてその両端にそれに応じたスパイクノイズが発生する。この問題は、キャリア蓄積を生じない本構成により解決される。

【0009】また本構成によれば誘導性負荷が還流状態でない場合を検出してその場合には還流素子を優先遮断するので、例えば誘導性負荷の通電試験のように外部から誘導性負荷へ通電する場合でも自動的にそれを検出して還流素子を遮断することができ、このような試験電流が還流素子である MOS FET に流れてその性能低下を招くことがない。

【0010】また本構成によれば以下に説明するショート電流を遮断できる効果も生じる。詳しく説明すれば、従来のように駆動素子と還流素子とを単純に逆動作（相補動作）させる場合、両素子の動作状態の変化期間であるところの互いにオーバーラップする遷移状態期間において、両素子はそれぞれ半導通状態となり、特にこれら素子を構成する MOS FET が大型となってそのゲート容量が増大するとこの両素子半導通オーバーラップ期間が長くなる。その結果、両素子を通じてショート電流が流れ、素子性能の劣化、電力の損失などを招く。この問題に対して本構成では、保護回路が誘導性負荷が還流状態でないことを検出した場合に還流素子の導通を優先遮断するので、このようなショート電流を防止することができる。

【0011】更に本構成によれば、上記接合の順方向電圧降下による電力損失分だけ従来のフライホイールダイオードよりも還流エネルギー損失、すなわち還流時における誘導性負荷に蓄積された電磁エネルギーの消耗を低減でき、その結果として還流電流の減衰及びそれに基づくこの誘導性負荷の磁束減少率が低下する。その結果、この誘導性負荷を P C M（パルス幅振幅変調）制御すなわちデューティ比制御を行う場合、誘導性負荷の磁束変動率を低減でき、それによる悪影響、例えば発電機の発電電圧の変動などを低減することができる。

【0012】請求項 2 記載の構成によれば、請求項 1 記載の誘導性負荷駆動装置を、駆動素子を N チャンネル MOS FET からなるハイサイド素子とし、還流素子を N チャンネル MOS FET からなるローサイド素子とする車両用発電機の励磁コイルの電流制御に適用する。したがって、駆動素子のゲート電圧はバッテリー電圧を昇圧して形成される。本構成によれば、請求項 1 の作用効果に加えて以下の作用効果を奏することができる。

【0013】まず、本構成では、還流素子として低抵抗かつ安価な N チャンネル MOS FET を採用している。ところが、この N チャンネル MOS FET を還流素子として配設する場合、以下の問題が生じる。すなわち、その P ウェル領域は電流バイパスを防止するために、低電位側の N 型主電極と短絡して低電位側の電源線（いわゆるアース）から給電する必要がある。しかし、通常の電力用 N チャンネル MOS FET は、そのゲート電極直下

のチャンネル領域とドレイン領域との間に低不純物濃度のN型ドレイン耐圧層を有する。

【0014】ゲート電極直下のPウェル領域への給電（電位付与）は、N型ドレイン領域又はN型ソース領域とこのPウェル領域とを短絡してなされるのが通常であり、このため、NチャンネルMOSFETのPウェル領域とこれらN型ドレイン領域又はN型ソース領域との間の一対の寄生接合ダイオードは短絡される。上述したように、N型ドレイン耐圧層はMOSFET遮断時の逆電圧に耐える必要があり、それを短絡することはできない。したがって、このNチャンネルMOSFETをローサイド素子として用いる場合、このN型ドレイン耐圧層をもつ側のN型主電極すなわちこの場合にはN型ドレイン電極がハイサイド端子とされ、他方のN型主電極すなわちこの場合にはN型ソース電極がローサイド端子とされる。

【0015】上記構造のNチャンネルMOSFETをローサイド側の還流素子として用いる場合の問題を以下に説明する。このNチャンネルMOSFETに還流電流を流す場合、還流電流は、通常とは逆にアース線側からハイサイド側へ流れ、高抵抗率のN型ドレイン耐圧層をもつ側のN型主電極（上記N型ドレイン電極）がソース領域すなわちキャリア（電子）注入端となる。このために、このNチャンネルMOSFETのN型ソース領域とゲート電極直下のチャンネル領域のキャリア注入端との間に介在するN型ドレイン耐圧層での抵抗電圧降下が大きくなり、その結果、このMOSFETのオン抵抗を規定するその真のゲートと電荷注入側主電極との間のゲート電圧 V_{gs} （ゲート電極電位と上記キャリア注入端の電位との間の電位差）は、上記高抵抗率のN型ドレイン耐圧層で生じる抵抗電圧降下により大きく低下してしまい、その分、このMOSFETのオン抵抗が大きく増大してしまう。

【0016】このNチャンネルMOSFETを還流素子として用いる場合に生じる上記オン抵抗増大問題は、還流電流が通常のバッテリー電源からの給電電流と逆方向にMOSFETのチャンネルを流れるために生じるためであり、このNチャンネルMOSFETからなる還流素子をハイサイド素子として用いる場合及びローサイド素子として用いる場合のいずれの場合においても発生してしまう。

【0017】そこで本構成では、還流素子をローサイド側に配設することにより、換言すればローサイド素子として駆動することにより上記N型ドレイン耐圧層によるオン抵抗の増大問題を解消した。更に詳しく説明すると、本構成ではNチャンネルMOSFETからなる還流素子をローサイド素子としたのでそのゲート電極にバッテリー電圧又は上記昇圧された電圧を印加することができる。したがって、上記還流素子をハイサイド素子として使用する場合に比較して、そのチャンネル抵抗を規定す

るゲート電圧 V_{gs} を格段に高くすることができ、その結果、還流素子をハイサイド素子とする場合に比べて格段にそのチャンネル抵抗を減少でき、これにより上記オン抵抗増大問題を補償して還流素子をなすNチャンネルMOSFETの小型化を図ることができる。なお、還流素子をなすNチャンネルMOSFETをハイサイド素子として用いる場合、その還流状態時におけるその電荷注入電極（ここでいうN型ドレイン電極）には高位電源電圧が印加されるために、上記ゲート／ソース間電圧 V_{gs} はどうしても小さくなってしまふ。

【0018】更に本構成によれば、励磁コイルがローサイド側となるので、励磁コイル及びそれへの配線回路が非通電状態で低電位（接地電位）となるので、リーク防止などの点で有利となるという長所も発生する。請求項3記載の構成によれば、駆動素子及び還流素子が同一のチップに集積されるので両者の電気特性のばらつきを低減でき、これにより一方の素子の遮断と他方の素子の導通との切り換えタイミングのばらつきを低減でき、それにより両素子の遷移動作期間がオーバーラップするのを一層抑止することができる。また、配線などの実装設計を容易かつ簡素とすることができる。

【0019】請求項4記載の構成によれば、請求項3記載の構成において更に、バッテリー電圧検出回路もこれら両素子と同一のチップに集積されるので、配線構成の更なる簡素化、及び、それによる信頼性向上を実現することができる。請求項5記載の構成によれば、請求項3記載の構成において更に、還流素子及び駆動素子は同一の半導体チップに集積されて所定デューティ比で交互断続され、駆動素子の有効チップ面積は駆動素子及び還流素子の合計有効チップ面積の0.65～0.85倍に設定される。このようにすれば、チップの発熱を低減することができる。

【0020】つまり、駆動素子と還流素子とを同一チップに集積させる場合には、全体としてのチップ面積は歩留りの点から所定値以下とされる。いま、還流素子の素子面積割合を増大し、そのオン抵抗 R_2 を減少すると、還流素子の電力消費 P_2 は減るものの、駆動素子に分配される素子面積が減少して駆動素子のオン抵抗が増大し、その発熱が増大して合計発熱量すなわち全体としての発熱が増大してしまう。逆に、還流素子の素子面積割合を減少し、そのオン抵抗を増大すると、還流素子の損失増大により、合計発熱量すなわち全体としての発熱が増大してしまう。本構成によれば、上記範囲設定により、全体として発熱が少ないチップを得ることができる。

【0021】請求項7記載の構成によれば、還流素子と駆動素子とを逆動作させるので、その制御が容易となる。請求項5記載の構成によれば、還流素子のオン抵抗を、別個に配設される駆動素子のその1～3倍の範囲とする。1倍未満では還流素子の素子面積が増大してコ

ストが上昇してしまい、またそのゲート容量も増大してそれを駆動する前段の駆動回路が大型となってしまう。一方、3倍を超えると還流素子の発熱が増大して還流素子の信頼性が低下してしまい、その冷却のために特別の構造を考慮する必要性が増大する。

【0022】請求項8記載の構成によれば、検出した誘導性負荷の電圧例えばその一端の電位やその電圧降下などに基づいて還流状態の有無を検出するので、還流状態の簡単、確実な検出が可能となる。請求項9記載の構成によれば、還流電流を検出して還流状態の有無を検出するので、還流状態の簡単、確実な検出が可能となる。

【0023】請求項10記載の構成によれば、還流素子をなすMOSFETと同一のチップに還流電流に対応する小電流を検出する電流検出用のMOSFETを設け、この電流検出用のMOSFETの電流を検出して還流状態の有無を検出するので、還流電流が流れる還流素子に電流検出用の抵抗素子を直列接続しなくてもよく、その損失を回避することができる。その結果、例えば誘導性負荷をデューティ比制御する場合には還流電流の減少による誘導性負荷の状態変化を抑止することができる。

【0024】

【発明の実施の形態】本発明を車両用発電機の制御装置に適用した好適な態様を以下の実施例に基づいて説明する。

【0025】

【実施例1】

(回路構成) 車両用電気負荷及び車両用のバッテリー2は車両用交流発電機3から給電されており、制御装置4は発電機3を制御している。制御装置4は、バッテリー電圧検出回路5、第1の駆動回路6、第2の駆動回路7、保護回路8、駆動素子9及び還流素子10からなる。

【0026】発電機3は三相交流発電機であって、その三相電機子巻線30から出力される三相発電電圧は三相全波整流器31で整流されて車両用電気負荷1及びバッテリー2に給電されている。発電機3の励磁コイル32の高位端は、駆動素子9を通じてバッテリー電圧を印加され、還流素子10を通じて接地されている。励磁コイル32の低位端は接地されている。

【0027】以下、本実施例の特徴をなす制御装置4を構成するバッテリー電圧検出回路5、第1の駆動回路6、第2の駆動回路7、保護回路8、駆動素子9及び還流素子10について更に詳細に説明する。バッテリー電圧検出回路5は、イグニッションスイッチIGを通じてバッテリー電圧を印加される定電圧回路50と、直列に接続された一対の抵抗51、52からなる分圧回路と、コンパレータ53とからなり、この分圧回路はバッテリー電圧の分圧Vbをコンパレータ53に出力し、定電圧回路50は一定の基準電圧Vrefをコンパレータ53に出力し、コンパレータ53は入力される両電圧の比較結果である発電制御信号Vcを両駆動回路6、7に出力する。

【0028】第1の駆動回路6は、トランジスタ600～603、605、612、621、623、抵抗604、606、607、613、620、622、624、ダイオード610、コンデンサ611、クロック発振器614からなり、コンパレータ53の出力電圧すなわち発電信号Vcに基づいて駆動素子9に制御信号V1を出力する。

【0029】第2の駆動回路7は、トランジスタ702、抵抗700、701、703からなり、コンパレータ53の出力電圧すなわち発電信号Vcに基づいて還流素子10に制御信号V2を出力する。保護回路8は、トランジスタ804、抵抗800、805、ダイオード801～803からなり、励磁コイル32の高位端電位Vxに基づいて還流素子10の制御信号V2を変調している。

【0030】駆動素子9及び還流素子10はそれぞれ、NチャンネルMOSFETからなり、駆動素子9のPウェル領域は励磁コイル32側のN型主電極91に接続され、還流素子10のPウェル領域は接地側のN型主電極101に接続されている。以下、この装置の動作を詳細にする。

(バッテリー電圧検出回路5の動作) コンパレータ53から出力される上記発電制御信号Vcは、バッテリー電圧の分圧Vbが基準電圧Vrefより低い場合にハイレベル(単にVHともいう)となり、バッテリー電圧の分圧Vbが基準電圧Vrefより高い場合にローレベル(以下、VLともいう)となる。

(第1の駆動回路6の動作) まず、発電制御信号Vcがハイレベルの場合を説明する。

【0031】ハイレベルである発電制御信号Vcは、ベース電流制限抵抗606を通じてトランジスタ605をオンし、これによりトランジスタ603、トランジスタ600～602がオンする。クロック発振器614は一定周波数で発振しており、クロック発振器614がベース電流制限抵抗613を通じてハイレベルを出力すると、トランジスタ612がオンされてコンデンサ611の低位側電極は接地され、その結果、コンデンサ611の高位側電極はトランジスタ602を通じて充電されて高電位となる。次に、クロック発振器614がローレベルを出力すると、トランジスタ612がオフされてコンデンサ611の低位側電極はトランジスタ601を通じて充電され、その結果、コンデンサ611の高位側電極は自己の蓄電電位だけバッテリー電圧より高いブースト電圧となり、このブースト電圧がダイオード610を通じて駆動素子9のゲート電極に印加され、駆動素子9がオンされる。なお、ハイレベルである発電制御信号Vcはベース電流制限抵抗622を通じてトランジスタ621をオンし、これによりトランジスタ623はオフされている。すなわち、トランジスタ601、602、612、ダイオード610、コンデンサ611、クロック発

振器614はチャージポンプ(昇圧回路)を構成している。

【0032】次に、発電制御信号Vcがローレベルの場合を説明する。ローレベルである発電制御信号Vcは、トランジスタ605をオフし、これによりトランジスタ603、トランジスタ600~602がオフする。その結果、クロック発振器614の発振にもかかわらず、トランジスタ602のオフにより上記チャージポンプ作用が停止されるので駆動素子9のゲート電極に高電圧が印加されることがない。一方、ローレベルである発電制御信号Vcはトランジスタ621をオフし、これによりトランジスタ623はバッテリー2からコレクタ抵抗620を通じてベースに給電されてオンする。その結果、トランジスタ623は抵抗624を通じて駆動素子9のゲート電極の電荷を放電し、駆動素子9は遮断される。

【0033】すなわち、第1の駆動回路6はバッテリー電圧が基準以下の場合にだけ、駆動素子9を導通させ、これにより、駆動素子9を通じて励磁コイル32に励磁電流を給電し、この励磁電流に見合った界磁束が生じて電機子巻線30に発電電圧が生じ、それに見合った発電電流が電機子巻線30から三相全波整流器31を通じてバッテリー2に給電される。

(第2の駆動回路7の動作) まず、発電制御信号Vcがローレベルとなる場合を説明する。

【0034】ローレベルである発電制御信号Vcは、ベース電流制限抵抗703を通じてトランジスタ702をオフし、これにより還流素子10のゲート電極はコレクタ抵抗700及び遅延抵抗701を通じてバッテリー2から充電され、その結果、還流素子10は、発電制御信号Vcがローレベルとなった時点から、コレクタ抵抗700及び遅延抵抗701の合計抵抗値と還流素子10のゲート容量とで主に設定される所定遅延時間後、導通される。

【0035】次に、発電制御信号Vcがハイレベルとなる場合を説明する。ハイレベルである発電制御信号Vcは、ベース電流制限抵抗703を通じてトランジスタ702をオンし、これにより還流素子10のゲート電極は遅延抵抗701を通じて放電され、還流素子10は、遅延抵抗701の抵抗値と還流素子10のゲート容量とで主に設定される所定遅延時間後、遮断される。

【0036】すなわち、第2の駆動回路7は、バッテリー電圧が基準以下となるとそれより所定時間遅れて還流素子10を遮断し、またバッテリー電圧が基準以上となるとそれより所定時間遅れて還流素子10を導通させる。還流素子10が導通し、励磁コイル32の高位端の電位が接地電位以下となると、接地線から還流素子10のチャンネル及び寄生ダイオードを通じて還流電流が励磁コイル32の高位端(駆動素子9側の端子)に還流される。

【0037】したがって、励磁コイル32には、駆動素子9からの電流と還流素子10からの還流電流とが交互

に給電されるために安定な励磁電流が流されることになり、安定した発電が行われることになる。

(保護回路8の動作) 保護回路8は、励磁コイル32の高位端(駆動素子9側の端子)の電位(コイル電圧Vxともいう)を検出してこのコイル電圧Vxに基づいて還流素子10の動作を制御するものであって、抵抗800、レベルシフト用のダイオード801~803、抵抗805からなるレベルシフト兼分圧回路と、このレベルシフト兼分圧回路の出力電圧により制御されて還流素子10のゲート電位を制御するトランジスタ804とからなる。

【0038】上記レベルシフト兼分圧回路は、コイル電圧Vxとレベルシフト用のダイオード801~803の電圧降下 ΔV との電位差を抵抗800、805の抵抗比で分割した分圧がトランジスタ804のオンしきい値電圧を超える場合にトランジスタ804をオンする。すると、トランジスタ804は抵抗701を通じて還流素子10のゲート電極を放電させ、トランジスタ804のオン抵抗を充分小さく設定することにより、還流素子10はそのゲート電極の容量と遅延抵抗701の抵抗値との時定数に応じた遅延時間後、遮断される。逆に、上記レベルシフト兼分圧回路は、コイル電圧Vxとレベルシフト用のダイオード801~803の電圧降下 ΔV との電位差を抵抗800、805の抵抗比で分割した分圧がトランジスタ804のオンしきい値電圧を下回るとトランジスタ804をオフする。すると、トランジスタ702がオフしている場合だけ、バッテリー2からコレクタ抵抗700及び遅延抵抗701を通じて還流素子10のゲート電極が充電され、その結果、コレクタ抵抗700及び遅延抵抗701の合計抵抗値と還流素子10のゲート電極の容量で設定される遅延時間後、還流素子10が導通し、この時、コイル電圧Vxが接地電位以下であれば、還流素子10を通じて励磁コイル32に還流電流が還流される。

【0039】以上の動作をまとめると、本実施例では、バッテリー電圧検出回路5からの発電制御信号Vcにより第1の駆動回路6及び第2の駆動回路7を用いて駆動素子9と還流素子10とを交互に動作させる。更に、保護回路8によりコイル電圧Vxを検出してそれが所定値を上回る場合にだけ、還流素子10を強制遮断する。なお上記実施例では、駆動素子9をハイサイド素子、還流素子10をローサイド素子としたが、逆の構成で使用することも当然可能である。

【0040】(実施例2) 実施例1の第2の駆動回路7及び保護回路8の構成を変更した他の実施例を図2を参照して説明する。ただし、実施例1と主要機能が共通である回路には同一符号を付す。この実施例の第2の駆動回路7は、図1においてベース電流制限抵抗703とコンパレータ53の出力端との間に逆流防止用のダイオード705を追加したものであり、この実施例の保護回路

8は、還流素子10の両端の電位を比較するコンパレータ810と、このコンパレータ810の出力端とベース電流制限抵抗703との間に介設される逆流防止用のダイオード811とからなる。

【0041】以下、この回路変更部分の動作のみを説明する。コイル電圧 V_x が接地電位より正の場合にはコンパレータ810がハイレベル電位をダイオード811を通じてトランジスタ702のベースに出力してそれをオンさせるので、コンパレータ53からの発電制御信号 V_c のレベルにかかわらず還流素子10が遮断される。一方、コイル電圧 V_x が接地電位より負の場合にはコンパレータ810がローレベル電位を出力するので、トランジスタ702は実施例1と同様にコンパレータ53からの発電制御信号 V_c のレベルに応じて還流素子10を制御し、還流素子10は駆動素子9と逆の動作をなす。

【0042】したがって、図2の回路構成によっても実施例1と同じ還流素子10の動作を実現することができる。なお、コンパレータ810の負入力端の電位は接地電位に限らず、適当な電位を印加可能である。

(実施例3) 実施例1のバッテリー電圧検出回路5の代わりに、励磁コイル制御用のコントローラ5aを用いる場合の回路構成を図3を参照して説明する。この実施例における第1の駆動回路6、第2の駆動回路7及び保護回路8は実施例1又は実施例2のものを用いることができ、それらと同じ回路動作をする回路であれば置換は自由である。

【0043】コントローラ5は、励磁コイル32への通電を制御するための発電制御信号 V_c を発生する発電制御信号発生回路500と、それから出力される発電制御信号 V_c と保護回路8の出力信号とのNAND信号を第2の駆動回路7に出力するNANDゲート501とからなる。動作を説明すると、保護回路8はコイル電圧 V_x が基準電圧よりローレベルである場合にハイレベルを出力し、コイル電圧 V_x が基準電圧よりハイレベルである場合にローレベルを出力する。

【0044】したがって、第2の駆動回路7は、コイル電圧 V_x が基準電圧よりローレベルである場合であって発電制御信号 V_c がローレベルの場合に還流素子10をオンさせ、コイル電圧 V_x が基準電圧よりローレベルである場合であって発電制御信号 V_c がハイレベルの場合に還流素子10をオフさせる。すなわち、コイル電圧 V_x がローレベルであれば、還流素子10は発電制御信号 V_c により駆動制御され、この時、第1の駆動回路6は駆動素子9を還流素子10と逆動作させる。

【0045】一方、第2の駆動回路7は、コイル電圧 V_x が基準電圧よりハイレベルである場合に発電制御信号 V_c のレベルにかかわらず、還流素子10を遮断する。したがって本実施例によれば、実施例1、2と同一の機能を果たすことができ、発電制御信号発生回路500の回路の工夫により種々の発電制御を実施することができ

る。

【0046】(実施例4) 実施例4の保護回路8の変形例をなす保護回路8aを図4を参照して説明する。ただし、実施例4と主要機能が共通である回路には同一符号を付す。この実施例の保護回路8aは、還流素子10と接地線との間に介設される低抵抗の電流検出抵抗800と、電流検出抵抗800が検出した還流電流に比例する検出電圧 V_s と基準電圧 V_r とを比較してそれに基づいてNANDゲート501に出力するコンパレータ840とからなる。なお、基準電圧 V_r は接地電位に近い負電位とされる。

【0047】このようにすれば、還流状態となってコイル電圧 V_x が低下すると、還流素子10の寄生ダイオード100を通じて還流電流が流れ、検出電圧 V_s が基準電圧 V_r より負となってコンパレータ53はハイレベルを出力する。この結果、実施例4の場合と同様に発電制御信号 V_c がハイレベルであれば、還流素子10のゲート電極にハイレベル電位を印加し、そのチャンネルが形成され、還流素子10のオン抵抗が低減されて、還流電流が少ない損失で励磁コイル32に給電される。図5に図4の回路の各部の論理状態を示す。

【0048】なお、検出抵抗800は励磁コイル32の高位端と還流素子10のN型主電極との間に介設してもよい。

(実施例5) 実施例4の保護回路8aの変形例をなす保護回路8bを図6を参照して説明する。ただし、実施例4と主要機能が共通である回路には同一符号を付す。

【0049】この実施例の保護回路8bは、実施例4の保護回路8aに還流電流バイパス用の小型のNチャンネルMOSFET841を還流素子10と並列に付加したものであり、NチャンネルMOSFET841は第2の駆動回路7によって還流素子10と同期動作される。また、電流検出抵抗801をこのNチャンネルMOSFET841と直列に接続される。このようにすれば、還流電流の抵抗損失を減らすことができるので、それによる励磁コイル32の電流変化を低減して発電電圧の変動を低減できるという利点が生じる。

【0050】(実施例6) 上記各実施例の制御回路4を1チップ化した実施例を図7を参照して説明する。S01基板200は、素子形成側となるN型半導体基板221と支持基板となるP型半導体基板220とを絶縁膜222を介して静電接合し、基板221を所定厚さにエッチングして形成されている。なお、基板221は、N⁻基板の表面にN⁺層をドープしたものを用いる。

【0051】エッチングされた基板221にドライエッチングにより分離溝を形成し、その表面酸化後、ポリシリコンを埋めてエッチングバックする通常の方法によって、誘電体分離領域225が形成され、この誘電体分離領域225により、エッチングされた基板221が互いに電気絶縁されたN型の島領域201~203に分離さ

れる。島領域201には還流素子10をなすNチャンネルMOSFETが形成され、島領域202には駆動素子9をなすNチャンネルMOSFETが形成される。島領域203は誘電体分離領域225により互いに電気絶縁された更に多数の小島領域に分割され、これら各小島領域には、制御装置4の各素子がそれぞれ個別に形成される。

【0052】駆動素子9、還流素子10をなすNチャンネルMOSFETについて以下、説明する。まず、N⁺領域210を形成した後、P型不純物を2回に分けて注入して深いPウェル領域209及び浅いPウェル領域208を形成し、Pウェル層209中にP⁺コンタクト領域212及びN⁺領域213を形成する。次に、表面にSiO₂酸化膜214およびゲート酸化膜215を順次形成し、ゲート酸化膜215上にドーパントポリシリコンからなるゲート電極205を形成し、その上にCVD法により層間絶縁膜216を形成してゲート電極205を囲覆し、この層間絶縁膜216にコンタクト開口を形成した後、その上にアルミ電極配線217を形成する。これにより、還流素子10のP⁺コンタクト領域212及びN⁺領域213は端子T5を通じて接地される。また、還流素子10のN⁺領域210は還流素子9のP⁺コンタクト領域212及びN⁺領域213とともに端子T4を通じて励磁コイル32の高位端に接続され、駆動素子9のN⁺領域210は端子T3を通じてバッテリー2から給電される。

【0053】両素子9、10のゲート電極205は島領域203に形成された制御装置4により制御される。制御装置4は、BiCMOS集積回路構造により構成されており、できるだけ駆動素子9及び還流素子10とプロセス共通に構成されている。もちろん、制御装置4をバイポーラ集積回路又はバイポーラ集積回路+NチャンネルMOSFETからなるBiNMOS集積回路構造とすることも可能である。

【0054】以下、本実施例の特徴をなすNチャンネルMOSFETからなる還流素子10の挙動について、図7を参照して更に詳細に説明する。還流素子10をなすNチャンネルMOSFETは、還流動作時においてN⁺領域210がみかけのソース電極となり、ゲート電極205の直下の浅いPウェル領域208の外端xがその真のソース電極すなわち電荷注入端となる。したがって、還流素子10は、還流動作時に、みかけのソース電極210と真のソース電極xとの間に高抵抗のN⁺領域218が介在することになり、そのソース直列抵抗R_sがチャンネル抵抗に直列に接続されることになる。ところが、MOSFETのチャンネル抵抗は、ゲート電極205の電位V_gと真のソース電極xの電位との間の電位差V_{gs}に依存するので、ソース直列抵抗R_sの電圧降下によりチャンネル抵抗が大きく増大してしまう。この現象は、還流素子10であるMOSFETのキャリアの種

類及びハイサイド素子かローサイド素子かを問わずに生じる。本実施例では、還流素子10をなすNチャンネルMOSFETをローサイド素子として用いることにより、この問題を補償している。

【0055】駆動素子9をオフすると、駆動素子9から励磁コイル32への給電が遮断され、その後、励磁コイル32の高位端の寄生容量に蓄積された電荷が励磁コイル32の還流現象により放電され、励磁コイル32の高位端すなわち還流素子10のソース電極210の電位が低下していく。ゲート電極205とソース電極210との間の電位差が還流素子10をなすNチャンネルMOSFETのしきい値電圧V_tを超えると、還流素子10のチャンネルが開き、チャンネル電流iが流れ、その後のチャンネル電流iはゲート電極205の電位V_gと真のソース電極xの電位との間の上記電位差V_{gs}により決定されることになる。

【0056】還流素子10をハイサイド素子であるNチャンネルMOSFETで構成する場合にはそのソース電極にバッテリー電圧が印加されることになり、還流素子10をローサイド素子であるNチャンネルMOSFETで構成する場合にはそのソース電極は還流開始時点においてほぼ接地電位となることになる。したがって、還流素子10に還流電流が流れる時点において、両者の電位差V_{gs}はほぼバッテリー電圧分だけ異なることになり、その分、ローサイド素子構成の還流素子10はハイサイド素子構成の還流素子10に比べて格段に小さいオン抵抗をもつことができるわけである。

【0057】すなわち、還流素子10をNチャンネルMOSFETで構成する場合には、そのソース直列抵抗R_sの低減によりその真のソース電極xの電位（真のソース電位）を低下させることが極めて重要であり、ソース電極xの電位（真のソース電位）の低下により還流素子10をなすNチャンネルMOSFETのチャンネル抵抗を低減でき、これらチャンネル抵抗と上記ソース寄生抵抗R_sの合計である還流素子10のオン抵抗を低減でき、それにより還流素子10内での抵抗電力損失を低減でき、それにより励磁コイル32に蓄積された電磁エネルギーの還流時の消耗を低減でき、それにより還流動作時における発電機の界磁束の減少を低減でき、発電電圧の変動を低減することができるわけである。本実施例では、還流素子10をなすNチャンネルMOSFETをローサイド素子として構成することにより上記作用効果を実現している。

【0058】次に、還流素子10を駆動素子9と同一チップに集積した効果について図7を参照して説明する。本実施例では、還流素子10と駆動素子9とを同一チップに集積するので、図7からわかるように、還流素子10のソース電極210と駆動素子9のドレイン電極213とを共通の配線250により、励磁コイル32の高位端とみなせる端子T4に接続することができる。したが

って、これら両素子9、10を別々に形成する場合に比べて配線250の共用ができる。また更に重要な点は、還流素子10の発熱期間（通電期間）と駆動素子9のそれとが瞬時的にみてオーバーラップせず、一定デューティ比でPCM駆動する場合でも還流素子10の平均還流電流の増加は駆動素子9の平均給電電流の減少を伴うので、結局、両素子を同一チップに集積した場合でも放熱設計は片方の素子、特に発熱が大きい駆動素子9の放熱だけを考慮すればよく、冷却構造も共用化することができ、両素子9、10を別配置とするに比べて冷却設計が簡単となり、全体のスペースも縮小することができる。

【0059】次に、還流素子10と駆動素子9のオン抵抗値の好適範囲について以下に説明する。

（両素子9、10を熱的に別配置とする場合）駆動素子のオン抵抗を R_1 、還流素子のオン抵抗を R_2 、駆動素子の連続導通時の誘導性負荷への平均給電電流を I_f 、駆動素子のオンDuty（導通期間の比率）を x 、還流素子のオンDuty（導通期間の比率）を $1-x$ とすると、誘導性負荷への通電電流は $I_f \cdot x$ となり、還流素子が流す還流電流の値も同じく $I_f \cdot x$ となる。車両用発電機の励磁コイルのように大きなインダクタンスをもつ誘導性負荷への通電をこれら素子の交互駆動で頻繁に又は短周期で断続制御する場合、上記駆動電流及び還流電流の変動は少ないので、それを無視して以下説明する。

【0060】駆動素子の連続導通時におけるその電力損失は $R_1 \cdot I_f^2$ であるので、駆動素子のオン抵抗 R_1 （素子面積にほぼ比例する）はこの電力損失を基準として設定される。素子すなわちチップに許容される電力消費はその熱的環境及び冷却構造などの外部条件に依存する所定の最大許容値 P_{max} をもち、ここでは、駆動素子の最大許容値 P_{max} は還流素子の最大許容値 P_{max} に等しいと仮定する。すなわち、このようにすることにより、駆動素子の放熱構造と還流素子の放熱構造とを等しく構成することができ、冷却構造が簡単となる。したがって、駆動素子のオン抵抗 R_1 は、 $R_1 < P_{max} / I_f^2$ の条件を満たすように設計される。

【0061】一方、還流素子の電力損失 P_2 は $R_2 \cdot I_f^2 \cdot x^2 \cdot (1-x)$ となるので同様に、 $R_2 < P_{max} / (I_f^2 \cdot x^2 \cdot (1-x))$ の条件を満たすように設計される。上記式（ $R_2 \cdot I_f^2 \cdot x^2 \cdot (1-x)$ ）において R_2 を一定とし、デューティ比 x を種々変更して計算すると、還流素子の電力損失 P_2 は、デューティ比約70%程度で最大となり、その値は、駆動素子の連続導通時におけるその電力損失 $R_1 \cdot I_f^2$ の約50%となる。

【0062】したがって、両素子の外部熱環境条件及び冷却構造がほぼ等しいと仮定すれば、還流素子のオン抵抗 R_2 （素子面積にほぼ比例する）を駆動素子のオン抵

抗 R_1 （素子面積にほぼ比例する）の1～3倍、更に好ましくは2倍程度とすることが好ましい。

（両素子9、10を熱的に深く関連する位置に配置する場合）その好例として例えば駆動素子と還流素子とを同一チップに集積させる場合について以下に詳述する。

【0063】両素子9、10を別配置する場合の上記説明から、同一基板に搭載された両素子の合計電力損失 $P = P_1 + P_2$ が $R_1 (I_f \cdot x)^2 x + R_2 \cdot (I_f \cdot x)^2 (1-x)$ となることがわかる。いま、簡易的に R_1 及び R_2 は素子面積にそれぞれ反比例し、かつ、素子面積当たりのオン抵抗は駆動素子すなわちハイサイド素子でも、還流素子すなわちローサイド素子でも等しいものと仮定し、チップ面積 S 及びチップの最大許容電力損失 P_{max} は一定であるとする。したがって、駆動素子の素子面積を aS 、還流素子の素子面積を $(1-a)S$ 、 K を比例定数とすれば、 $R_1 = K / aS$ 、 $R_2 = K / (1-a)S$ となる。

【0064】したがって、両素子の合計電力損失 $P = P_1 + P_2 = K (I_f \cdot x)^2 x / (aS) + K \cdot (I_f \cdot x)^2 (1-x) / ((1-a)S) < P_{max}$ となることがわかる。このようにして得られた合計電力損失 P を、 K 、 S 、 I_f を1とし、デューティ比 x を0.3～1の範囲で、駆動素子のチップ面積占有比率 a を種々変更してシミュレーションした結果を図8に示す。この図8から、 a を0.6～0.9、更に好ましくは0.65～0.85とすることにより、低損失すなわち発熱が少ない複合トランジスタチップを得ることができることがわかる。

【図面の簡単な説明】

【図1】 本発明の誘導性負荷駆動装置の実施例1を示す回路図である。

【図2】 本発明の誘導性負荷駆動装置の実施例2を示す回路図である。

【図3】 本発明の誘導性負荷駆動装置の実施例3を示す回路図である。

【図4】 本発明の誘導性負荷駆動装置の実施例4を示す回路図である。

【図5】 図4の回路各部の論理状態の関係を示す図である。

【図6】 本発明の誘導性負荷駆動装置の実施例5を示す回路図である。

【図7】 本発明の誘導性負荷駆動装置の実施例6を示す回路図である。

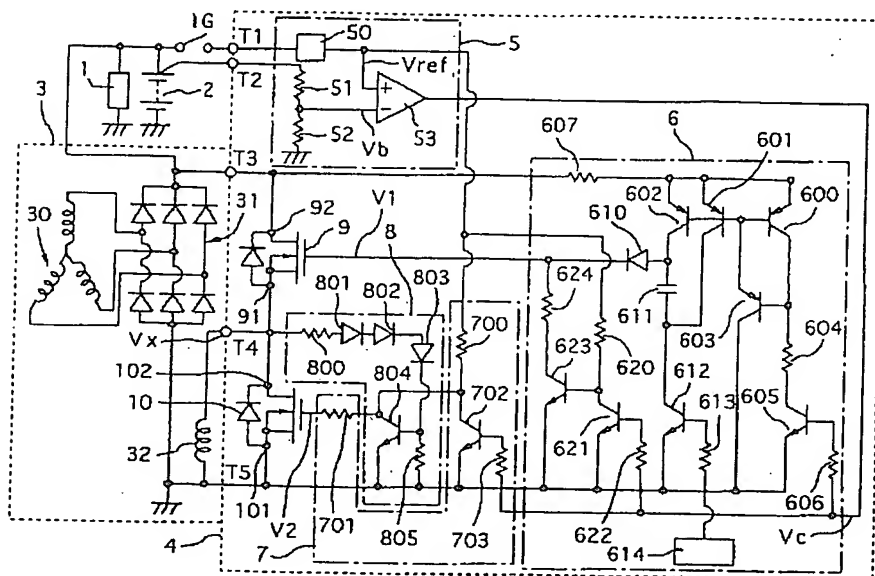
【図8】 図7における駆動素子9と還流素子10のデューティ比と消費電力と素子面積比率との関係を示す特性図である。

【符号の説明】

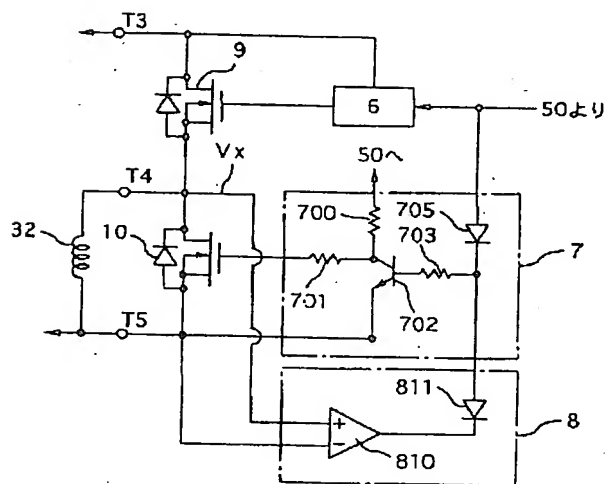
5はバッテリー電圧検出回路、6は第1の駆動回路、7は第2の駆動回路、8は保護回路、9は駆動素子、10は還流素子、32は励磁コイル（誘導性負荷）、801は

of a woman in a white dress, and a man in a white shirt and tie, standing in a room with a large window. The woman is looking at the man, and the man is looking at the camera. The room has a white wall and a large window. The woman is wearing a white dress and the man is wearing a white shirt and tie. The woman is looking at the man and the man is looking at the camera. The room has a white wall and a large window.

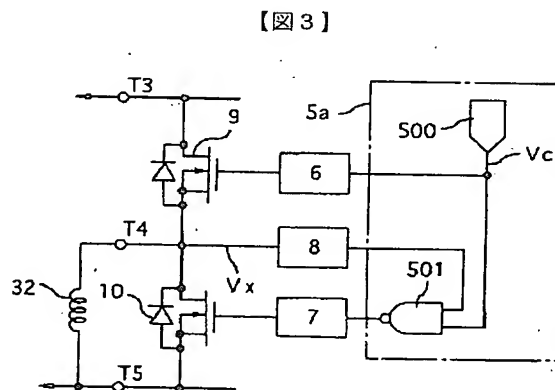
【図 1】



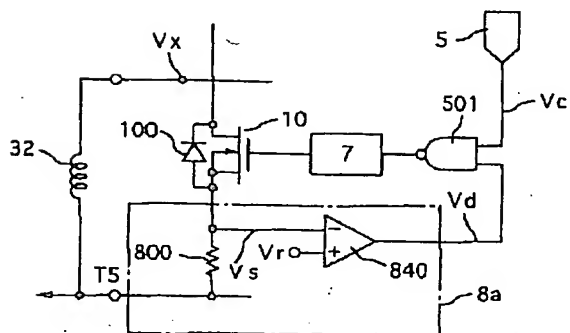
【図 2】



【図4】



【図 5】



10の 強制速断	Vs	Vd	Vc	501出力	10の動作
	H	L	L	H	オフ
	H	L	H	H	オフ
	L	H	L	H	オフ
	L	H	H	L	オン

[illegible]

Figure 10 is a line graph showing the relationship between the ratio of driving element area (a) on the x-axis and the total power loss ($P=P_1+P_2$) on the y-axis for different duty ratios (X). The x-axis ranges from 0 to 1, and the y-axis ranges from 0 to 3.5. The legend indicates five duty ratios: 0.3 (diamonds), 0.5 (squares), 0.7 (triangles), 0.9 (circles), and 1 (asterisks). The curves show that for each duty ratio, there is an optimal area ratio a that minimizes the total power loss. For $X=0.3$, the minimum is around $a=0.7$. For $X=0.5$, the minimum is around $a=0.7$. For $X=0.7$, the minimum is around $a=0.7$. For $X=0.9$, the minimum is around $a=0.7$. For $X=1$, the minimum is around $a=0.7$.

Driving Element Area Ratio (a)	$P=P_1+P_2$ ($X=0.3$)	$P=P_1+P_2$ ($X=0.5$)	$P=P_1+P_2$ ($X=0.7$)	$P=P_1+P_2$ ($X=0.9$)	$P=P_1+P_2$ ($X=1$)
0.3	0.2	0.6	1.4	2.6	3.2
0.4	0.2	0.5	1.1	2.0	2.5
0.5	0.25	0.5	1.0	1.7	2.1
0.6	0.3	0.5	0.9	1.5	1.8
0.7	0.35	0.6	1.0	1.4	1.6
0.8	0.4	0.7	1.1	1.3	1.4
0.9	0.6	1.4	1.8	2.0	1.2
1.0	1.4	2.7	3.3	2.5	1.1

フロントページの続き

(51) Int. Cl. ⁶

識別記号

F I

H 0 1 L 27/088

H 0 2 P 9/30